

Т.В. ГЛАДКИХ, НТУ “ХПИ” (г. Харьков),
С.Ю. ЛЕОНОВ, канд. техн. наук, НТУ “ХПИ” (г. Харьков)

СИСТЕМА К-ЗНАЧНОГО МОДЕЛИРОВАНИЯ ДЛЯ ИССЛЕДОВАНИЯ ПЕРЕКЛЮЧАТЕЛЬНЫХ ПРОЦЕССОВ В ЦИФРОВЫХ УСТРОЙСТВАХ

У роботі розглядається система *K*-значного моделювання, яка застосовує математичний апарат *K*-значних диференціальних рівнянь з затримками, і яка дозволяє в залежності від необхідної точності досліджувати пристрої обчислювальної техніки з застосуванням різних режимів їх моделювання

In work the system of *K*-Value modelling using the mathematical method of the *K*-Value differential equations with delay and allowing to depend with required accuracy to analyse devices of computer equipment to use various modes of their modelling is considered.

Постановка проблемы. Обзор существующих систем проектирования показывает, что несмотря на большой диапазон используемых методов проектирования они не позволяют выполнить исследование работоспособности устройств на уровне, соответствующем сложности современной элементной базы.

Это объясняется тем, что в них отсутствует возможность исследования переходных процессов переключения логических сигналов с получением соответствующих количественных оценок, учета совместного анализа функционального, топологического и электрического проектирования, а также учета влияния разброса технологических параметров микросхем и связанных с ним величин задержек сигналов на работоспособность всего устройства в целом. Все это требует разработки новых подходов и методов автоматизированного проектирования.

Одним из методов, позволяющих частично устранить указанные недостатки анализа вычислительных устройств, является метод моделирования цифровых устройств на основе математического аппарата *K*-значных обыкновенных дифференциальных уравнений [1]. Он позволяет учитывать динамику фронтов переключения логических сигналов, однако не позволяет описывать элементы с памятью, поскольку для описания таких элементов необходимо располагать полной информацией обо всех его внутренних состояниях, приводящих к получению выходного сигнала, за период времени, определяемый задержкой моделируемого элемента. Кроме того, применение моделей на основе систем *K*-значных обыкновенных дифференциальных уравнений не позволяет исследовать сложные современные устройства с учетом разброса параметров микросхем и анализа влияния на работоспособность устройств сигналов, длительность переходного

процесса переключения которых существенно больше длительности фронтов переключения сигналов моделируемой элементной базы.

Анализ литературы. Известно, что при моделировании сложных устройств всегда существует опасность появления временного рассогласования входных сигналов элемента, которое может привести к появлению ложного сигнала на выходе логического элемента – динамические и статические риски сбоев [2 – 4]. Различные САПР в зависимости от заложенных в них методов моделирования по-разному индицируют появление такого рода ситуаций. При этом двоичные методы моделирования оказываются несостоятельными при анализе не только динамических, но и статических рисков сбоев. Так, при моделировании устройства со статическим риском сбоя в системе OrCAD-9.2 [5], в случае подключения ко входам устройства цифровых источников сигнала, используется метод булевого моделирования, который не дает возможности корректно оценить опасность такого сбоя в силу ограниченности входного алфавита. И даже использование пятизначного моделирования [6], которое возможно в системе OrCAD-9.2 не позволяет проанализировать схему устройства на предмет выявления при его моделировании различных сбойных ситуаций, которые могут быть вызваны временным рассогласованием входных сигналов. Следует отметить, что в системе ORCAD-9.2 имеется режим моделирования с разбросом величин задержек используемых элементов, которое выражается в виде индикации диапазона возможного начала и конца срабатывания элемента. Однако, моделирование устройств в этом режиме возможно только при использовании стандартных элементов библиотеки этой системы и оказывается несостоятельным при моделировании сложных иерархических схем, что требует разработки новых методов моделирования и систем их реализующих. Значительно больше возможностей имеется при исследовании работоспособности вычислительных устройств с помощью K -значного моделирования [7, 8]. Однако сложности, возникающие при использовании K -значных моделей, приводят к очень ограниченной области их применения. В этом смысле достаточно перспективным является использование метода моделирования вычислительных устройств на основе систем обыкновенных K -значных дифференциальных уравнений и, в частности, K -значных дифференциальных уравнений с запаздыванием [9].

Цель статьи. Разработка новых математических моделей элементов вычислительной техники на основе теории обыкновенных K -значных дифференциальных уравнений с запаздыванием, позволяющих более точно исследовать устройства вычислительной техники.

Реализация особенностей системы K -значного моделирования. В разработанной системе автоматизированного проектирования на основе K -значного дифференциального исчисления общая модель элемента цифровой вычислительной техники, который может содержать в своем составе M

логических внутренних узлов, каждый из которых имеет один выход и N_j входов ($j = 1, M$), задается структурой, приведенной на рис. 1. Основным блоком данной структуры является **блок 1**, который предназначен для решения системы K -значных обыкновенных дифференциальных уравнений с запаздывающим аргументом, описывающей функционирование данного элемента:

$$\frac{dU_{\text{вых } j}(t_i)}{dt_i} = f(U_{\text{вых } j}(t_i - 1), U'_{\text{вых } j}(t_i - D_j), U'_{\text{вх } j1}(t_i - D_j),$$

$$U'_{\text{вх } j2}(t_i - D_j), \dots, U'_{\text{вх } jN_j}(t_i - D_j), t_i), \quad j = \overline{1, M}; \quad t_i \geq t_0,$$

где $\frac{dU_{\text{вых } j}(t_i)}{dt_i}$ – значение производной выходного сигнала $U_{\text{вых } j}(t_i)$ j -го внутреннего узла в момент t_i ; $U'_{\text{вых } j}(t_i - D_j), U'_{\text{вх } j1}(t_i - D_j), \dots, U'_{\text{вх } jN_j}(t_i - D_j)$ – модифицированные значения j -го выходного сигнала $U_{\text{вых } j}(t_i - D_j)$ и N_j – число входных сигналов $U_{\text{вх } j1}(t_i - D_j), \dots, U_{\text{вх } jN_j}(t_i - D_j)$ элемента в момент времени $(t_i - D_j)$; D_j – задержка j -го логического узла элемента.

Наличие запаздывающего аргумента предоставляет возможности описания и моделирования элементов с обратными связями, таких как, например, элементы с памятью. При этом величина запаздывания не обязательно должна иметь некоторое единственное значение. Для различных внутренних логических узлов элемента она может принимать различные значения, которые, в свою очередь, также могут варьироваться в пределах от минимальной $t_{3_мин}$ до максимальной $t_{3_макс}$ величины задержки элемента, что обеспечивает моделирование элемента с плавающими задержками его внутренних узлов.

Для получения решения системы K -значных дифференциальных уравнений с запаздыванием на каждом i -м шаге моделирования (момент времени t_i) необходимо располагать значениями всех входных и выходных сигналов на временном интервале длиной D_j , предшествующем текущему моменту времени.

Значения запаздывающих входных и выходных сигналов, вычисленных для временного интервала $[t_i - D_j, t_i]$, хранятся в совокупности буферов $\mathbf{B}_{\text{вых}}^j$ выходных значений $U_{\text{вых } j}$ (**блок 3**) и буферов \mathbf{B}_w^j ($w = \overline{1, N_j}$) значений входных сигналов $U_{\text{вх } jw}$ (**блок 2**) каждого j -го внутреннего логического узла элемента. Размеры буферных элементов определяются параметрами задержек внутренних логических узлов.

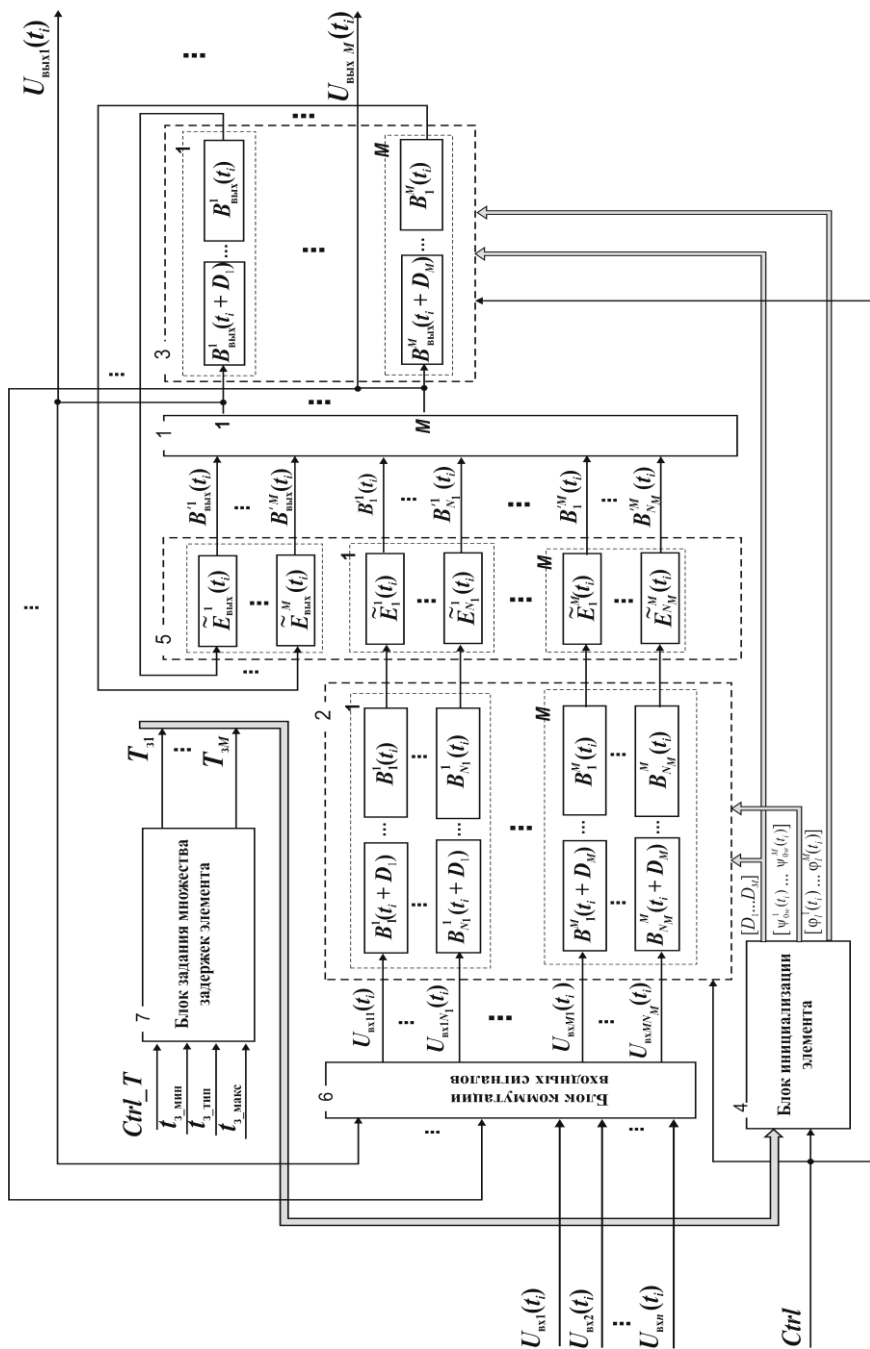


Рис. 1. Структура логического элемента

До начала моделирования эти буферы должны быть заполнены таким образом, чтобы обеспечить дальнейшее корректное функционирование элемента, что особенно необходимо для элементов с обратными связями.

В связи с этим, в структуру элемента введен блок, выполняющий инициализацию элемента (**блок 4**), которая заключается в определении размеров (задаются задержками D_j внутренних логических узлов) и начальном заполнении буферов входных и выходных сигналов на интервале времени $[t_0, t_0 + D_j]$ согласно функциям инициализации $\varphi_0^j(t_i)$ и $\psi_{0w}^j(t_i)$ для каждого j -го ($j = \overline{1, M}$) выходного и jw -го ($w = \overline{1, N_j}$) входного сигнала:

$$\begin{aligned} U_{\text{вых } j}(t_i - D_j) &= \varphi_0^j(t_i), \quad t_i \in [t_0, t_0 + D_j]; \\ U_{\text{вх } jw}(t_i - D_j) &= \psi_{0w}^j, \quad t_i \in [t_0, t_0 + D_j]; \quad j = \overline{1, M}, \end{aligned} \quad (2)$$

где $U_{\text{вых } j}(t_i - D_j)$ и $U_{\text{вх } jw}(t_i - D_j)$ – значения j -го выходного и jw -го входного сигналов в момент времени $(t_i - D_j)$ при $t_i \in [t_0, t_0 + D_j]$.

Перед поступлением на блок решения системы K -значных дифференциальных уравнений (**блок 1**), значения входных и выходных сигналов могут быть изменены в зависимости от мощности переключения элементов.

Этот анализ выполняется в блоке вычисления мощности входных и выходных сигналов (**блок 5**). На его вход поступают сигналы, смещенные по отношению к текущему моменту времени t_i на задержку D_j внутреннего логического узла элемента, снимаемые с входных и выходных буферных элементов, а с выхода снимаются уже их модифицированные, с учетом мощностного анализа, значения. Работа блока 6 заключается в выполнении следующих этапов:

1) вычисление мощностей $\tilde{E}_{\text{вых}}^j$ ($j = \overline{1, M}$) и \tilde{E}_w^j ($w = \overline{1, N_j}$) переключения всех логических сигналов $U_{\text{вых } j}(t_i - D_j)$ и $U_{\text{вх } jw}(t_i - D_j)$, поступающих на вход j -го внутреннего логического узла элемента для момента времени смещенного на величину задержки D_j ;

2) сравнение вычисленной мощности переключения с пороговой величиной \tilde{E}_p ;

3) получение модифицированных значений сигналов $U'_{\text{вых } j}(t_i - D_j)$ и $U'_{\text{вх } jw}(t_i - D_j)$. Для j -го выходного сигнала имеем:

$$U'_{\text{ВЫХ } j}(t_i - D_j) = \begin{cases} U_{\text{ВЫХ } j}(t_i - D_j), & \text{если } \tilde{E}_{\text{ВЫХ}}^j(t_i - D_j) < \tilde{E}_p, \quad j = \overline{1, M}; \\ K - 1, & \text{если } (\tilde{E}_{\text{ВЫХ}}^j(t_i - D_j) \geq \tilde{E}_p), U_{st_Bj}(t_i - D_j) = 0, \\ & j = \overline{1, M}; \\ 0, & \text{если } (\tilde{E}_{\text{ВЫХ}}^j(t_i - D_j) \geq \tilde{E}_p), U_{st_Bj}(t_i - D_j) = K - 1, \\ & j = \overline{1, M}, \end{cases}$$

где $\tilde{E}_{\text{ВЫХ}}^j(t_i - D_j)$ – накопленное значение мощности переключения j -го выходного сигнала на момент времени $(t_i - D_j)$:

$$\tilde{E}_{\text{ВЫХ}}^j(t_i - D_j) = \begin{cases} 0, & U_{\text{ВЫХ } j}(t_i - D_j) \in \{0, K - 1\}, \quad t_i > 0; \\ \sum_{t_k=t_{s_Bj}}^{t_i-D_j} [U_{\text{ВЫХ } j}(t_k)(\tilde{U}_{\max} - \tilde{U}_{\min}) + \tilde{U}_{\min} \times (K - 1)]^2, \\ & U_{\text{ВЫХ } j}(t_i - D_j) \notin \{0, K - 1\}, \quad t_i > 0; \\ 0, & \text{если } t_i = 0, \end{cases}$$

где t_{s_Bj} – момент начала переходного процесса переключения j -го выходного сигнала из одного устойчивого состояния в другое:

$$t_{s_Bj} = \begin{cases} (t_i - D_j), & U_{\text{ВЫХ } j}(t_i - D_j) \in \{0, K - 1\}, \quad t_i > 0; \\ t_{s_Bj}, & U_{\text{ВЫХ } j}(t_i - D_j) \notin \{0, K - 1\}, \quad t_i > 0; \\ -D_j, & t_i = 0; \end{cases}$$

где $U_{st_Bj}(t_i - D_j)$ – установившиеся значения j -го выходного сигнала, зафиксированное перед началом переходного процесса:

$$U_{st_Bj}(t_i - D_j) = \begin{cases} U_{\text{ВЫХ } j}(t_i - D_j), & \text{если } (U_{\text{ВЫХ } j}(t_i - D_j) \in \{0, K - 1\}); \\ U_{st_Bj}(t_i - D_j - 1), & \text{если } (U_{\text{ВЫХ } j}(t_i - D_j) \notin \{0, K - 1\}); \end{cases}$$

$$U_{st_Bj}(t_0 - D_j - 1) = 0.$$

Аналогичные выражения описывают получение модифицированных входных сигналов $U'_{\text{ВХ } jw}(t_i - D_j)$.

Для обеспечения моделирования с плавающими задержками в структуру, приведенную на рис. 1, включается блок формирования множеств T_{3j} допустимых величин задержки j -го логического узла элемента (**блок 7**). При этом требуемая точность анализа определяется сигналом $Ctrl_T$, согласно которому формируется указанное множество:

– если $Ctrl_T = 0$, то $T_{3j} = \{t_{3_тип}\}$ – множество всех значений задержек сводится к типовой задержке элемента;

– если $Ctrl_T = 1$, то $T_{3j} = \{t_{3_мин}, t_{3_тип}, t_{3_макс}\}$ – множество T_{3j} содержит типовую, минимальную и максимальную величины задержки;

– если, $Ctrl_T = 2$, то множество T_{3j} содержит три элемента, определяемые в соответствии с нормальным законом распределения случайной величины T – отклонения задержки от ее типового значения (середины трех непересекающихся участков, на которые разбивается интервал $[-\Delta t, \Delta t]$, таких, что вероятности попадания на любой из них равны между собой и равны $1/3$) $T_{3j} = \text{Round}(t_{3_тип} - C_1 \Delta t), t_{3_тип}, \text{Round}(t_{3_тип} + C_1 \Delta t)\}$, где $\text{Round}(x)$ – функция округления числа x до ближайшего целого значения; $\Delta t = (t_{3_макс} - t_{3_тип})$; C_1 – постоянная величина, определяемая нормальным законом распределения случайной величины T , такая, что $0 < C_1 < \Delta t$;

– если $Ctrl_T = 3$, то множество возможных значений задержек, полученное при $Ctrl_T = 2$, дополняется двумя промежуточными значениями – границами соответствующих участков: $\text{Round}(t_{3_тип} + C_2 \Delta t)$, ($0 < C_2 < C_1$), $t_{3_мин}$ и $t_{3_макс}$ ($T_3 = \{\text{Round}(t_{3_тип} - \Delta t), \text{Round}(t_{3_тип} - C_1 \Delta t), \text{Round}(t_{3_тип} - C_2 \Delta t), t_{3_тип}, \text{Round}(t_{3_тип} - C_2 \Delta t), \text{Round}(t_{3_тип} - C_1 \Delta t), \text{Round}(t_{3_тип} - \Delta t)\}$);

– если $Ctrl_T = 4$, то множество T_{3j} содержит кроме типового значения еще и задержки элемента, отклоняющиеся от $t_{3_тип}$ на величину τ , равную длительности его переходного процесса переключения из одного устойчивого состояния в другое ($T_{3j} = \{\text{Round}(t_{3_тип} - \tau), t_{3_тип}, \text{Round}(t_{3_тип} + \tau)\}$).

Помимо вышеописанных блоков, структура обобщенного элемента (рис. 1) содержит также **блок 6** коммутации n входных сигналов элемента и M выходных сигналов внутренних логических узлов. Блок предназначен для формирования совокупностей входных сигналов для всех внедренных элементов. В зависимости от особенностей функционирования проектируемого устройства и требований, предъявляемых к проводимому анализу их работоспособности в разработанной системе на основе K -значного дифференциального исчисления, можно использовать как полную модель элемента, так и ее отдельные частные виды, выбор которых определяется выбранным режимом моделирования. В разработанной САПР выделяется четыре основных режима моделирования, которые задаются параметром R , принимающем значение на множестве $\{1, 2, 3, 4\}$: 1) режим моделирования,

связанный с описанием функционирования элементов K -значными дифференциальными уравнениями с запаздыванием; 2) режим моделирования, связанный с описанием функционирования элементов K -значными дифференциальными уравнениями с запаздыванием и учетом мощности переключения входных и выходных сигналов; 3) режим моделирования с «плавающими» задержками при использовании описания функционирования элементов K -значными дифференциальными уравнениями с запаздыванием; 4) режим моделирования с «плавающими» задержками и учетом мощности переключения входных и выходных сигналов при использовании описания функционирования элементов K -значными дифференциальными уравнениями с запаздыванием. В зависимости от выбранного режима моделирования происходит видоизменение структуры элемента. При выборе режима $R = 1$ в структуре элемента, приведенной на рис. блок мощностного анализа (блок 5) работает как передаточный буфер – значения сигналов, поступающих на его вход, без изменения передаются на блок 1. Кроме этого, блок 7 формирует множество T_{3j} только из одного элемента $T_{3i} = \{t_{3_тип}\}$. В режиме $R = 2$ полностью функционирует блок мощностного анализа, что позволяет выполнить моделирование элемента с учетом мощности переключения входных и выходных сигналов, при этом в качестве задержек элементов используются только их типовые значения. В случае выбора режима $R = 3$ элемент представляется полной структурой, в которой, однако, не функционирует блок 5 мощностного анализа – сигналы на выходе блока полностью соответствуют сигналам на его входе. При выборе четвертого режима моделирования ($R = 4$) все блоки, входящие в структуру (рис. 1) находятся в рабочем состоянии, что позволяет выполнить комплексный анализ работоспособности устройства с использованием всех возможностей, заложенных в разработанную структуру логического элемента.

Показать моделирование элемента в САПР на основе K -значного дифференциального исчисления можно на примере T -триггера (рис. 2).

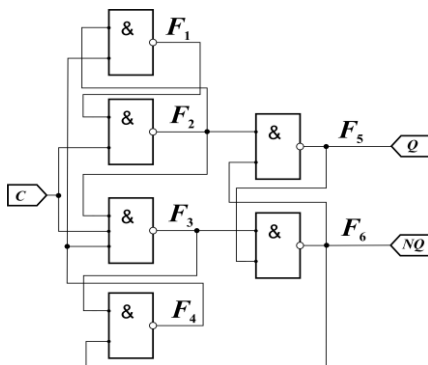


Рис. 2. Структурная схема триггера

Система K -значных дифференциальных уравнений, описывающих его функционирование, имеет вид:

$$\left\{ \begin{array}{l} \frac{dF_1(t_i)}{dt_i} = \frac{1}{T_{\&}} ((K-1) \langle - \rangle_K \min(F'_4(t_i - D_1), F'_2(t_i - D_1)) \langle - \rangle_K F'_1(t_i - 1)); \\ \frac{dF_2(t_i)}{dt_i} = \frac{1}{T_{\&}} ((K-1) \langle - \rangle_K \min(C'(t_i - D_2), F'_1(t_i - D_2)) \langle - \rangle_K F'_2(t_i - 1)); \\ \frac{dF_3(t_i)}{dt_i} = \frac{1}{T_{\&}} ((K-1) \langle - \rangle_K \min(C'(t_i - D_3), F'_2(t_i - D_3), F'_4(t_i - D_3)) \langle - \rangle_K \\ \langle - \rangle_K F'_3(t_i - 1)); \\ \frac{dF_4(t_i)}{dt_i} = \frac{1}{T_{\&}} ((K-1) \langle - \rangle_K \min(F'_3(t_i - D_4), NQ'(t_i - D_4)) \langle - \rangle_K F'_4(t_i - 1)); \\ \frac{dQ(t_i)}{dt_i} = \frac{1}{T_{\&}} ((K-1) \langle - \rangle_K \min(F'_2(t_i - D_5), NQ'(t_i - D_5)) \langle - \rangle_K Q'(t_i - 1)); \\ \frac{dNQ(t_i)}{dt_i} = \frac{1}{T_{\&}} ((K-1) \langle - \rangle_K \min(F'_3(t_i - D_6), Q'(t_i - D_6)) \langle - \rangle_K NQ'(t_i - 1)); \\ \text{при } t_i \geq 0, \end{array} \right.$$

где $\frac{dF_1(t_i)}{dt_i}, \dots, \frac{dF_4(t_i)}{dt_i}$ – значения производных промежуточных сигналов

$F_1(t_i), \dots, F_4(t_i)$ в момент времени t_i ; $\frac{dQ(t_i)}{dt_i}$ и $\frac{dNQ(t_i)}{dt_i}$ – значения

производных сигналов $Q(t_i)$ и $NQ(t_i)$ для прямого и инверсного выходов T -триггера; $F'_4(t_i - D_1), F'_2(t_i - D_1), C'(t_i - D_2), \dots, Q'(t_i - D_6)$ – измененные значения входного сигнала синхронизации, промежуточных и выходных сигналов в моменты времени $(t_i - D_1), (t_i - D_2), \dots, (t_i - D_6)$; D_j – задержка j -го логического элемента T -триггера ($j = \overline{1, 6}$).

Модификация всех сигналов элемента выполняется по аналогии с (3), а инициализация элемента до этапа моделирования (на интервале $[0, D]$) соответствует установке следующих значений:

$$\begin{aligned} C(t_i - D_2) &= C(t_i - D_3) = 0; F_1(t_i - D_2) = K - 1; \\ F_2(t_i - D_1) &= F_2(t_i - D_3) = F_2(t_i - D_5) = K - 1; F_3(t_i - D_4) = F_3(t_i - D_6) = K - 1; \\ F_4(t_i - D_1) &= F_4(t_i - D_3) = 0; Q(t_i - D_6) = 0; NQ(t_i - D_4) = NQ(t_i - D_5) = K - 1; \end{aligned}$$

Такая начальная установка сигналов гарантирует дальнейшее корректное функционирование триггера. Рассмотрим моделирование элемента в четырех режимах моделирования. Для режима моделирования $R = 1$ были выбраны два

способа подачи единственного входного сигнала элемента – сигнала синхронизации C : три импульса длиной 60 нс и длительностью переходного процесса 3 нс (временные диаграммы на рис. 3), и два импульса длиной 100 нс и длительностью переходного процесса 50 нс (рис. 4).

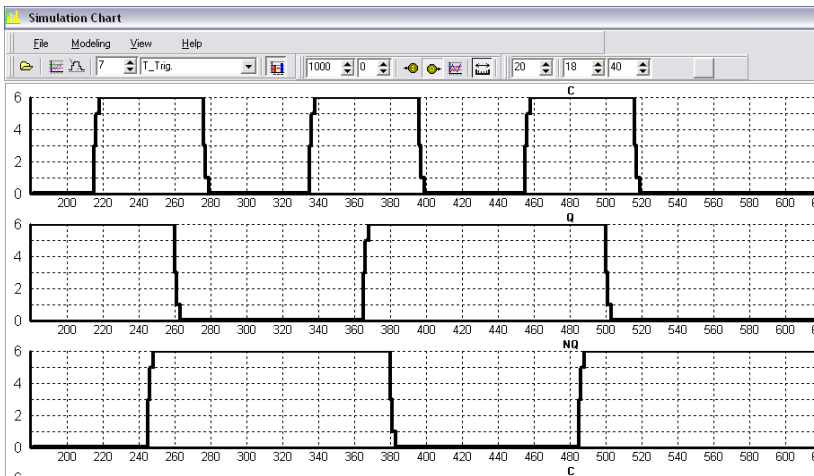


Рис. 3. Временные диаграммы функционирования триггера

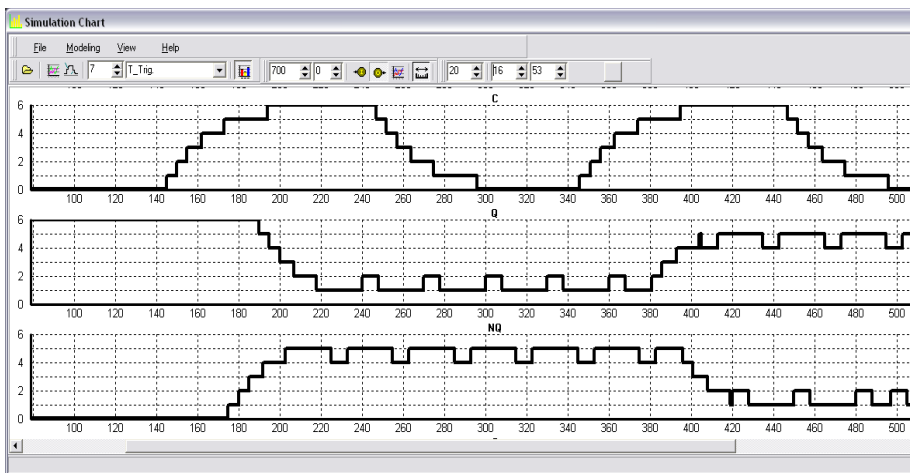


Рис. 4. Временные диаграммы функционирования триггера при медленно меняющемся фронте сигнала C

Как видно из рис. 3 и 4, триггер на начало моделирования установлен в единичное состояние (на выходе Q устанавливается состояние «логической»

единицы, которое квантуется уровнем 6 при значности $K = 7$, а на выходе NQ – состояние «логического» нуля).

Рассмотрим рис. 3: каждому положительному перепаду сигнала C , начало которых соответствует 215 нс, 335 нс и 455 нс соответствует переключение триггера в противоположное состояние через задержку, определяемую задержками внутренних логических узлов элемента. Так, при задержке внутреннего узла 15 нс начало первого переключения выхода NQ триггера приходится на 245 нс, а выхода прямого Q – на момент времени 260 нс.

На рис. 4 длительность переходного процесса сигнала синхронизации существенно превышает величину задержки внутреннего узла элемента. Это приводит к сбойной работе триггера, которая выражается в том, что при первом положительном перепаде C , приходящемся на интервал [145 нс, 195 нс], прямой и инверсный выходы триггера не переключаются в устойчивое состояние «логического» нуля и «логической» единицы. На выходах Q и NQ элемента будут наблюдаться колебательные процессы на интервале [220 нс, 380 нс] относительно уровней «1» и «5» соответственно.

Режим моделирования $R = 2$ (моделирование с учетом мощностного анализа) продемонстрирован на рис. 5.

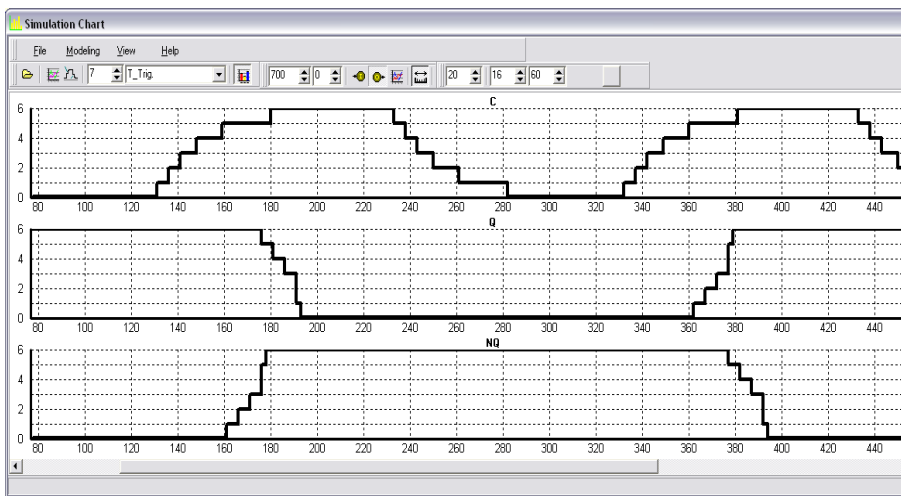


Рис. 5. Временные диаграммы функционирования триггера при медленно меняющемся фронте сигнала C в режиме моделирования $R = 2$

В соответствии с этим рисунком на вход триггера поступает такой же по форме сигнал синхронизации, как и в предыдущем примере (рис. 4), однако, в виду того, что при моделировании во 2-м режиме учитывается мощность переключения сигнала и через 15 нс после начала переключения C из уровня «0» в уровень «6» мощность его переключения превышает пороговую величину. Это приводит к переключению триггера в нулевое состояние:

сигнал NQ в 175 нс начинает переключаться в уровень «б», а сигнал на прямом выходе элемента Q – в состояние «0» в 190 нс. Таким образом, с учетом мощности переключения время переключения сигнала C из одного устойчивого состояния в другое составляет 15 нс, что не превышает задержек внутренних логических узлов и гарантирует бессбойное функционирование триггера.

Результаты моделирования элемента в режиме с «плавающими» задержками ($R = 3$) приведены на рис. 6. В качестве входного сигнала синхронизации выбран сигнал из первого примера (рис. 3). Как видно из рис. 6 моделирование с переменными величинами задержек элемента может привести к появлению сбойных ситуаций на выходе элемента, связанных с увеличением задержек по выходам $F_1 - F_4$ элемента до $t_{3_макс}$ при сохранении частоты входного сигнала C . Если же уменьшить частоту входного сигнала (увеличить длительность импульса до 80 нс) триггер функционирует без сбоев при всех наборах возможных значений внутренних логических узлов элемента, выбираемых из множества $\{t_{3_мин}, t_{тип}, t_{3_макс}\}$. Аналогично может быть продемонстрирован и режим моделирования, соответствующий полному анализу работоспособности проектируемого устройства.

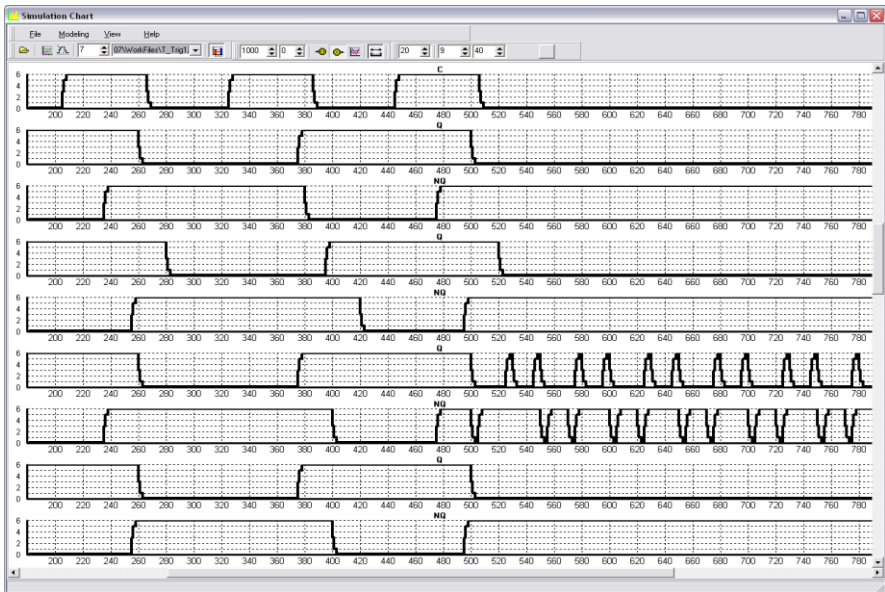


Рис. 6. Временные диаграммы функционирования триггера при длительности импульса сигнала C 50 нс в режиме моделирования $R = 3$

Выводы. Приведенные результаты дают основание утверждать, что разработанная для САПР на основе K -значного дифференциального исчисления модель элемента позволяет более полно исследовать работоспособность проектируемых вычислительных устройств, при этом точность исследования отдельных частей схемы может варьироваться разработчиком в зависимости от требований к проводимому анализу. При этом разработаны новые K -значные модели, описывающие функционирование базовых логических элементов, элементов с обратными связями, с возможностью анализа их при моделировании мощности переключения логических сигналов и «плавающих» задержек, а также выполнена автоматизация диагностики результатов моделирования при выявлении статических и динамических рисков сбоев.

Список литературы: 1. Дмитриенко В.Д., Корсунов Н.И., Леонов С.Ю., Гладких Т.В. Использование аппарата производных K -значных функций для моделирования вычислительных устройств // Электронное моделирование, 1997. – Т. 19. – № 2. – С. 19–27. 2. Воробьев Н.В. Риски сбоя в комбинационных схемах // Chip News. – 1998. – №2. – С. 26–30. 3. Devereux B., Chechik M. Edge-Shifted Decision Diagrams for Multiple-Valued Logic // Journal of Multiple-Valued Logic and Soft Computing. – 2003. – Vol. 9. – № 1. – P. 75–87. 4. Алексеенко А.Г. Основы микросхемотехники. – М.: Бином, 2002. – 448 с. 5. Разевиг В.Д. Система проектирования цифровых устройств OrCAD. – М.: Солон, 2000. – 160 с. 6. Грошев Д.Е. Макуха В.К. Применение пакета OrCAD для компьютерного проектирования электронных схем. – Новосибирск: Изд-во НГТУ, 1999. – 64 с. 7. Acevedo P. C., Rosenberg I G., Simovici D.A., Stojmenovic I. Boolean Completeness in Multiple-Valued Set Logic // Journal of Multiple-Valued Logic and Soft Computing. – 2003. – Vol. 9. – № 3. – P. 153–167. 8. Hiromitsu K., Takahiro H.M. Multiple-Valued Logic-in-Memory VLSI Using MFSFETs and its Applications // Journal of Multiple-Valued Logic and Soft Computing. – 2003. – Vol. 9. – № 1. – P. 45–71. 9. Гладких Т.В. Система K -значного иерархического моделирования сложных устройств // Вісник НТУ "ХПІ". Збірник наук. праць. Тематичний випуск "Інформатика і моделювання". – Х.: НТУ "ХПІ", 2003. – № 19. – С. 34–37.

Поступила в редакцию 25.10.2005